

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—67349

⑤ Int. Cl.³
H 04 L 1/08

識別記号

庁内整理番号
6651—5K

⑬ 公開 昭和57年(1982)4月23日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ データ伝送装置

電機株式会社伊丹製作所内

① 特 願 昭55—144182

① 出 願 人 三菱電機株式会社

② 出 願 昭55(1980)10月14日

東京都千代田区丸の内2丁目2
番3号

⑦ 発 明 者 中嶋恒弥

④ 代 理 人 弁理士 葛野信一 外1名

尼崎市南清水字中野80番地三菱

明 細 書

1. 発明の名称

データ伝送装置

2. 特許請求の範囲

所定ビット数で1ワードを構成し所定ワード数で1フレームを構成し、データ伝送の送信側では上記1フレームのデータをビット直列の形でかつ当該フレームを連続して(2n+1)回(但しnは正の整数の中からあらかじめ定める数)通信回線に送出する手段を備え、データ伝送の受信側では送信側から上記通信回線を経てビット直列の形で伝送される上記データを受信し上記(2n+1)回送出の各回ごとに区分して記憶するデータバッファメモリと、このデータバッファメモリの上記各回ごとの区分の間で相互に対応する(2n+1)個のビットの論理の多数決論理を以て上記フレームの対応ビットの論理とする演算回路とを備えたデータ伝送装置。

3. 発明の詳細な説明

この発明はデータ伝送装置に関し、特に多数決論理によつてビットの誤りを訂正するデータ伝送装置に関するものである。

従来のデータ伝送において、データの信頼性を高めるためにパリティチェックや、反転送等の方法が用いられていた。第1図はデータ伝送方法を示すタイムチャートで、第1図(a)、(b)は反転送の場合、第1図(c)、(d)はパリティチェックの場合、第1図(e)は3回送多数決の場合を示し、(1)、(3)、(5)、(6)、(8)、(61)、(62)、(63)は送信側から送出するデータ、(2)、(4)、(7)は受信側から送出する応答信号である。反転送の場合はデータAとこれに続いてデータAの各ビットの論理を反転したデータ \bar{A} とを送出データ(1)として送信側から送出し、受信側ではこれを受信してデータAとデータ \bar{A} との対応をチェックしもしこの対応に不一致があれば応答信号(2)を再送要求信号として送信側に再送を要求し、送信側はこれに対し送出データ(1)と同一の送出データ(3)を送出し、受信側ではこれを受信してデータAとデータ \bar{A} との対

応をチェックしこの対応が一致した場合は応答信号(4)によつてデータAの伝送が正しく行われたことを送信側に通知し、送信側はこの通知を得て次の送出データ(5)の送出を開始する。パリティチェックの場合はデータA、データB、データC、……データNによつて1つのフレームを構成し(1つのフレームがたとえば数十バイトで構成される)パリティチェックのためのチェックビットを付加し(たとえば1フレームに1ビット、又は各データに1ビットのチェックビットの付加)送出データ(6)を編成して送信側から送出する。受信側では受信したデータについてパリティチェックを行つて、もしパリティチェックの結果誤り符号の存在が検出された場合は応答信号(7)を再送要求信号として送信側に再送を要求し、送信側はこれに対し送出データ(8)と同一の送出データを送出データ(8)として送出する。

従来のデータ伝送方法は上述のとおりであり、パリティチェック方式ではデータ中の2ビット以上に同時に符号誤りが発生した場合には誤り検出

(3)

(62),(63)は第1図(c)に示すフレーム(6)と類似の構成で、たとえば数十バイト(第1図に示すデータA、データB、データC等はそれぞれ複数ビットから構成される1ワードであるとする)から構成され、ただチェックビットは含んでいない。

第2図はこの発明の一実施例を示すブロック図で、00はデータ伝送の送信側装置を、00はデータ伝送の受信側装置をそれぞれ総合的に示し、(30)は通信回線である。01は送信搬送波回路、02はプロセッサ、03はプログラムメモリ、04はデータメモリ、(14a)は送出すべきデータ、(21)は受信搬送波回路、(22)はプロセッサ、(23)はプログラムメモリ、(24)はデータバッファメモリ、(24a)は1回目の送出データ、(24b)は2回目の送出データ、(24c)は3回目の送出データ、(24d)はデータ(24a)、(24b)、(24c)から多数決論理によつて決定されたデータである。

送信搬送波回路01は伝送すべきデータを表す符号を通信回線(30)で伝送するのに適した信号形態に変換する変調回路を含み、受信搬送波回路(21)

(5)

が不可能となり、また反転連送方式においてもパリティチェック方式においても、符号誤りが検出されたときは第1図(a),(b),(c),(d)に示すように再送要求(12)、(17)及び再送(13)、(18)が必要となり、これら処理するためのプログラムも複雑となり、ウェイト(wait)時間等を含めると総合的には伝送のために長時間を必要とするという欠点があつた。また連続する多数のデータを伝送する場合その中に1ビットでも符号誤りがあると再送しなければならぬという欠点があつた。

この発明は従来方法における上述の欠点を除去するためになされたもので、数ビットの符号誤りが発生した場合にも受信側で多数決演算を行うことにより、発生した符号誤りを自動的に訂正することができるデータ伝送装置を提供することを目的とする。

以下図面についてこの発明の実施例を説明する。

第1図(a)はこの発明の伝送方法を示し、(61)、(62)、(63)は互に同一のフレームを3回連続して送出することを示しており、各フレーム(61)、

(4)

は上記信号形態で伝送された信号を受信し、これをプロセッサ(22)が処理するのに適した符号に変換する復調回路を含んでいる。

データメモリ04には、たとえば数十バイトで1フレームを構成したデータが必要フレーム数記憶されていて、プログラムメモリ03から読取られたプログラムに従つて1個のフレームのデータが、第1図(e)の(61)、(62)、(63)に示すよう3回連続送信される。受信搬送波回路(21)はこれを受信し、送出データを各回ごとに区分してデータバッファメモリ(24)に記憶する。たとえば第1図の送出データ(61)、(62)、(63)はそれぞれ(24a)、(24b)、(24c)に格納される。第1図の送出データ(61)、(62)、(63)は同一のデータを連続して3回送出したものであるから送出後に符号誤りが発生しなければ、データバッファメモリ(24)内のデータ(24a)、(24b)、(24c)は互に同一であり、互に対応する3ビットの論理は同一である筈である。然し通信回線(30)等で雑音等の影響により符号誤りが発生する機会があり互に対応する3ビット

(6)

の論理が必ずしも全部同一でない場合が起る。そのような場合にも互に対応する3ビット中の1ビットだけが正しい論理から反転した論理に変化することはあつても、上記3ビット中の2ビット又は3ビット全部の論理が同時に正しい論理から反転した論理に変化するようなことは實際上あり得ない。(すなわち発生確率が極めて小さくて實際上発生しないと見なしてよい)したがってデータバッファメモリ(24)内のデータ(24a),(24b),(24c)の互に対応する3ビットの論理の多数決論理を以て当該ビットの正しい論理とし、1フレームの全ビットについて上述の多数決論理の演算を行いその結果をデータバッファメモリ(24)内にデータ(24d)として格納すれば、データ(24d)は高い信頼度を以て伝送されたデータとなる。

多数決論理の演算は互に対応する3ビットの論理を加算し加算結果が0(3ビット共論理「0」)又は1(3ビット中の2ビットが論理「0」)の時は当該ビットの論理を「0」とし、加算結果が2(3ビット中の2ビットが論理「1」)又は3

(3ビット共論理「1」)の時は当該ビットの論理を「1」とすればよいので、プロセッサ(22)により簡単に実行することができる。

以上のように多数決論理によつて各ビットの論理を決定すれば1フレーム中に複数個のビットに符号誤りを生じた場合にもこの誤りを訂正することは容易であり、又通信回線等の雑音によつて符号誤りを生ずるのは時間軸から見れば局部的な現象であり、第1図に示す送出データ(61),(62),(63)のように互に対応する3ビットが相当な時間間隔を置いて送出されているものに対し、上記3ビット中の2ビット又は3ビットの各時点で同様の雑音が発生することはまず考えられず、したがって多数決論理によつて決定した各ビットの論理は充分信頼できるものとなる。

以上の例においては1フレームを連続3回繰返して送出する場合について説明したが、更に信頼性を高めるためには連続5回又は7回(一般的に言えば n を正の整数とするとき $(2n+1)$ 回)繰返して送出してその多数決論理によつて各ビット

(7)

の論理を決定すればよい。

以上の説明から明らかなように、この発明によれば従来の装置よりも簡単な装置を用いて、かつ従来のプログラムよりも簡単なプログラムにより、データ伝送の信頼性を容易に向上することができる。

4. 図面の簡単な説明

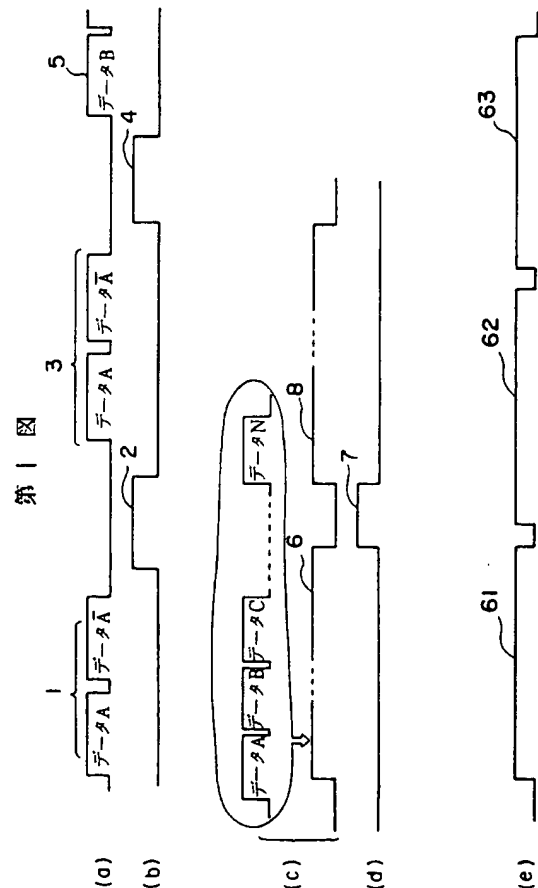
第1図はデータ伝送方法を示すタイムチャート、第2図はこの発明の一実施例を示すタイムチャートである。

00…送信側装置、01…送信搬送波回路、02…プロセッサ、03…プログラムメモリ、04…データメモリ、00…受信側装置、(21)…受信搬送波回路、(22)…プロセッサ、(23)…プログラムメモリ、(24)…データバッファメモリ。

代理人 葛野信一

(9)

(8)



第 2 図

